

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 250477 (J P)

(iii) 公開特許公報 (A)

(11) 特殊出納公認番号

特開平 9 - 8 2 0 6

(13) 公開日 平成9年(1997)1月10日

(S1) Int. Cl. *

KOIL 23/50

圖別記号

平岡監理官

F 1

NO 11 23/10

改新指示所

22/18

23/42

第1次 第2次 第3次の数? FD (全15頁)

(21) 出版番号 特原平 7-173955

(11) 出版 平成 7 年 (1995) 6 月 19 日

(11) 出票人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(11) 兒明書 山田 一

東京區新宿區市谷加賀町一丁目1番1号

大日本印刷株式会社内

(11) 見明言 在 不 買

東京區新宿區市谷加賀町一丁目1番1号

大日本印刷株式会社内

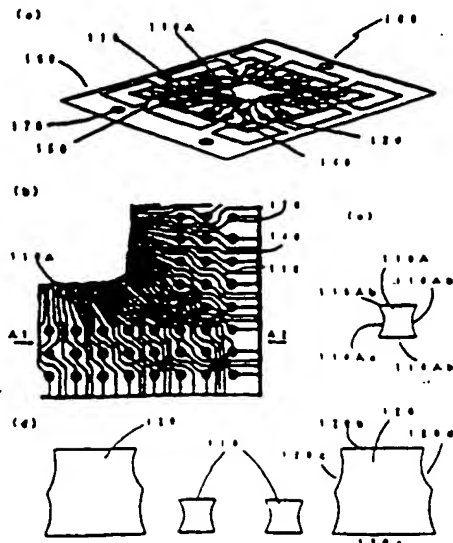
(7)代理人 弁理士 小西 信典

(54) (発明の名称) リードフレームおよびBGAタイプの電極封止装置等に関する発明

(57) (要約) (修正有)

【目的】 多磁子化に対応して、且つ、一層の高磁化に対応できるリードフレームを用いたBCAタイプの磁気針止型半導体装置を提供する。

【構成】 インターリード形成面に近い二次元的に配列された外部磁極と電氣的接続を行うための外部導子部120とを備えており、該インターリードの先端面110Aは、断面形状が矩形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面は両端面でないリードフレームの端面と同じ長さの該部分の一方の面と同一平面上にあって第2面に對向しており、第3面、第4面はインターリードの両側に向かい凹んだ形状に形成されており、外部導子部は、該断面形状が矩形で4面を有しており、1面の凹みがあった2面はリードフレーム両端面にあり、他の1面の2面はそれぞれ外部導子部の両側から内側に向かい凸出しており、



【特許請求の範囲】

【請求項1】 2段ニッチング加工によりインナーリードの先端部の厚さがリードフレーム素材の厚さよりも薄肉に外形加工された、BGAタイプの半導体装置用のリードフレームであって、少なくとも、インナーリードと、該インナーリードと一体的に連続し、且つインナーリード形成面に沿い二次元的に配列された外部回路と電気的接続を行うための外部端子部とを備えており、該インナーリードの先端部は、断面形状が略方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かい合っており、第3面、第4面はインナーリードの内側に向かい凹んだ形状に形成されており、外部端子部は、断面形状が略方形で4面を有しており、1組の向かい合った2面はリードフレーム素材面上にあり、他の1組の2面はそれぞれ外部端子部の内側から外側に向かい凸状であることを特徴とするリードフレーム。

【請求項2】 請求項1において、インナーリード部全体がリードフレーム素材の厚さよりも薄肉に外形加工されていることを特徴とするリードフレーム。

【請求項3】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、半導体素子は、電極部側の面において、インナーリード間に電極部が収まるようにして、インナーリードの第1面側に絶縁性接着材を介して固定されており、電極部はワイヤにてインナーリードの第2面側と電気的に接続されていることを特徴とするBGAタイプの樹脂封止型半導体装置。

【請求項4】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、半導体素子は、半導体素子のパンプを介してインナーリードの第2面と電気的に接続していることを特徴とするBGAタイプの樹脂封止型半導体装置。

【請求項5】 請求項4記載におけるリードフレームのインナーリード先端の第2面がインナーリード側に凹んだ形状であることを特徴とする樹脂封止型半導体装置。

【請求項6】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、前記リードフレームは、グイパッド部を有するもので、且つ、該グイパッド部は、半導体素子の電極部側の電極部間に収まる大きさで、インナーリード先端部と同じ厚さを有するもので、半導体素子は、半導体素子の電極部側の面とインナーリード先端の第2面とが同じ方向を向くよ

うにして、グイパッド上に、電極部側の面を接着材により固定され、電極部はワイヤにてインナーリードの第2面側と電気的に接続されていることを特徴とするBGAタイプの樹脂封止型半導体装置。

【請求項7】 請求項1ないし2記載のリードフレームを用いたBGAタイプの樹脂封止型半導体装置であって、リードフレームの外部端子部の表面に半田等からなる外部回路と接続するための端子部を設けており、前記リードフレームは、グイパッド部を有するもので、且つ、半導体素子は、半導体素子の電極部とインナーリード先端の第2面とが同じ方向を向くようにして、グイパッド上に、電極部側とは反対側の面を接着材より固定され、電極部はワイヤにてインナーリード先端の第2面側と電気的に接続されていることを特徴とするBGAタイプの樹脂封止型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、リードフレームをコア材として回路を形成した表面実装型の樹脂封止型半導体装置用のリードフレーム部材に関し、特に、BGA (Ball Grid Array) タイプの半導体装置用のリードフレーム部材の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置は、電子機器の高性能化と軽薄短小化の傾向（時代）からLSIのASICに代表されるように、ますます高集積化、高機能化になっている。高集積化、高機能化された半導体装置においては、信号の高速処理のためには、パッケージ内のインダクタンスが無視できない状況になってきて、パッケージ内のインダクタンスを低減するために、電極、グランドの接続端子数を多くし、実質的なインダクタンスを下げるようにして、対応してきた。この為、半導体装置の高集積化、高機能化は外部端子（ピン）の総数の増加となり、ますます多端子（ピン）化が求められるようになってきた。多端子（ピン）IC、特にゲートアレイやスタンダードセルに代表されるASICあるいは、マイコン、DSP (Digital Signal Processor) 等の半導体装置化には、リードフレームを用いたものとしては、QFP (Quad Flat Package) 等の表面実装型パッケージが用いられており、QFPでは300ピンクラスのものが実用化に至ってきている。QFPは、図14 (b) に示す標準リードフレーム1410を用いたもので、図14 (a) にその断面図を示すように、グイパッド1411上に半導体素子1420を搭載し、金めっき等の処理がされたインナーリード先端部1421と半導体素子1420の端子（電極パッド）1421とをワイヤ1430にて結線した後に、樹脂1440にて封止し、グムパッド部をカットし、アウターリード1413部をガルウイング状に折り曲げて作製されている。このようなQFPは、パッ

ゲージの4方向へ外部回路と電気的に接続するための7
フターリードを設けた構造となり、多端子（ピン）化に
対応できるものとして開発されてきた。ここで用いられ
る基板リードフレーム1410は、通常、コパール、4
2合金（42%Ni-鉄）、銅合金等の導電性に優
れ、且つ強度が大きい金属材料をフォトリソグラフィ工
法を用いたエッチング加工方法やスタンピング法等によ
り、図14(b)に示すような形状に加工して作製され

る。図14(b)、(c)に基板リードフレーム
の断面形状を示す。図14(b)は、
断面形状を示す。図14(c)は、
断面形状を示す。

(0003) しかしながら、近年の半導体集積回路の集
積密度の増大に伴い、更に多くの端子を
必要としている。これに対し、QFPでは、外部端子ピ
ッチを狭めることにより、更なる多端子化に対応できる
が、外部端子を狭小化した場合、外部端子間の短絡の
恐れがあり、外部端子強度を低下させることと
なる。その結果、端子成形（ガルウイング化）のばらば
らさあるいは半導体装置において問題を生じてしまう。ま
た、QFPでは、アウターリードのピッチが、0.4mm、
0.3mmと更にピッチが狭くなるにつれ、これら
ピッチの狭小化が難しくなっており、高密度の半導体
装置の実装を要する場合には、高密度の半導体装置（問題）を
かかえている。

(0004) これら従来のQFPパッケージがかかえる
実装効率、実装性の問題を回避するために、半導体
をパッケージの外部端子に接続した低実装密度のパッ
ケージであるBGA（Ball Grid Array）と
呼ばれるプラスチックパッケージ半導体装置が開発され
てきた。BGAは、外部端子を基板上にマトリクス状（ア
レイ状）に配置した半導体チップとした低実装密度の半
導体装置（プラスチックパッケージ）の総称である。通常、
このBGAは、入出力端子を増やすために、両面配線基
板の片面に半導体チップを接続し、もう一方の面には
半導体チップを取付けた外部端子用電極を設け、スルーホールを
通じて半導体チップと外部端子用電極との導通をとって
いた。従来の半導体チップをアレイ状に並べることで、端子
ピッチの間隔を従来のリードフレームを用いた半導体装置
より広くすることができ、この結果、半導体装置の実装
工程を簡便にせず、入出力端子の増加に対応できた。B
GAは、一般に図11に示すような構造である。図11
(b)は図11(a)の基板（基板）側からみた図で図
11(c)はスルーホール1150部を示したものである。
このBGAは、Bレジジン（ビスアレイド系樹脂）
を代用とする樹脂性を有する基板（樹脂板）の基板11
02の片面に半導体チップ1101を接続するダイパッド
1103と半導体チップ1101からボンディングワイヤ
1104により電気的に接続されるボンディングパッド

に配置された半導体チップにより形成した外部端子用電極1
106をもち、外部端子用電極1106とボンディングパ
ッド1104の間を配線1104とスルーホール1150
、配線1104Aにより電気的に接続している構造で
ある。しかしながら、このBGAは、半導体チップ
とワイヤの接続を行う回路と、半導体チップに接続した
プリント基板に実装するための外部端子用電極とを、基板
1102の両面に設け、これをスルーホール1150
を介して電気的に接続した双極性構造であり、基板の熱
膨張率の差により、配線1104とスルーホール1150に
応力が生じ、配線1104とスルーホール1150に
応力が生じ、配線1104とスルーホール1150に
応力が生じ、配線1104とスルーホール1150に

(0005) このため、半導体チップの接続、接続の
低下を回避するため、上記図11に示す構造のものを他
に、リードフレームをコア材として回路を形成したもの
も、近年、開発されてきた。これらのリードフレーム
を用いたBGAパッケージは、一般には、リードフ
レーム1210の外部端子部1214に接続する箇所
に所定の孔をあけ、絶縁フィルム1260とリードフ
レーム1210を固定して、回路を形成した図12(a)
に示すような構造、ないし図12(b)に示すような構
造をとっていた。上記リードフレームを用いたBGAパ
ッケージに用いられるリードフレームは、従来、図13に
示すようなエッチング加工方法により作製されており、
外部端子部1214とインナーリード1212ともリード
フレーム素材の厚さに作製されていた。ここで、図1
3に示すエッチング加工方法を簡単に説明しておく。先
ず、銅合金もしくは42%ニッケル-鉄合金からなる厚
さ0.25mm程度の基板（リードフレーム素材1310）
を十分に洗浄（図13(a)）した後、真鍮メカ
リウムを感光剤とした水溶性ポジレジスト等のフォ
トリジスト1320を基板表面の両面に均一に塗布す
る。（図13(b)）

次に、所定のパターンが形成されたマスクを介して高
圧水噴射でレジスト層を感光した後、所定の現像液で感
光性レジストを現像して（図13(c)）、レジスト
パターン1330を形成し、現像液、洗浄液等を必
要に応じて洗い、塩化第二銅溶液を塗布する成分とする
エッチング液にて、スプレーにて基板（リードフ
レーム素材1310）に穴を開け所定の寸法にエッチン
グし、露出させる。（図13(d)）

次に、レジスト層を剥離処理（図13(e)）、洗
浄後、所定のリードフレームを介して、エッチング加工工
程を終了する。このように、エッチング加工工程によつて
作製されたリードフレームは、更に、所定のエリアに局
所的に加熱される。次に、洗浄、乾燥等の処理を行
い、インナーリード部を規定長の露出部分をポリイミ
ドテープにてテープリング処理したり、必要に応じて所定の
金タブ取り付けを施す加工し、ダイパッド部をダブリン
グ加工により形成

め、図13に示すようなエッチング加工方法においては、保護化加工に関しては、加工された素材の底面からくぼき部があった。

(0006)

【発明が解決しようとする課題】上記のように、リードフレームをコア材として用いたBGAタイプの半導体装置においては、図14(b)に示す、通常リードフレームを用いた半導体装置に比べ、同じ端子数で外部回路と接続するための外部端子ピッチを広くでき、半導体素子の電極ピッチを狭くでき、入出力端子の数を増やすことが可能である。一方の多端子化に対しては、インナーリードの狭ピッチ化が要求される。したがって、本発明は、これに対応するためのもので、一端子化に対応できる、リードフレームをコア材として回路を形成したBGAタイプの半導体装置を提供するものである。具体的には、このような半導体装置を形成するためのリードフレームを提供しようとするものである。

(0007)

【課題を解決するための手段】本発明のリードフレームは、2段エッチング加工によりインナーリードの先端部の厚さがリードフレーム素材の厚さよりも厚く形成され、BGAタイプの半導体装置用のリードフレームであって、少なくとも、インナーリードと、インナーリードと一体的に形成し、且つインナーリード形成面に近い二次元的に配列された外部回路と電気的に接続するための外部端子部とを備えており、インナーリードの先端部は、断面形状が四方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向かい合っており、第3面、第4面はインナーリードの内側に向かい込んだ形状に形成されており、外部端子部は、断面形状が四方形で4面を有しており、1面の向かい合った2面はリードフレーム素材面上にあり、他の1面の2面はそれぞれ外部端子部の内側から外側に向かい凸状であることを特徴とするものである。そして、上記において、インナーリード全体がリードフレーム素材の厚さよりも厚く形成され、図8、図9に示すようなエッチング加工方法により、インナーリードの先端部の厚さが素材の厚さよりも厚く形成されることができ、インナーリードの狭ピッチ化に対応できるものとしている。そして、リードフレームが、インナーリードと一体的に形成した外部回路と接続するための外部端子部を、リードフレーム面に近い二次元的に配列して設けていることより、BGAタイプの半導体装置に採用できるものとしている。そして、インナーリード全体をリードフレーム素材よりも厚く形成していることにより、インナーリード先端部の狭ピッチ化のみならず、インナー

リードフレームの外部端子部の断面に半田膏からなる外部回路と接続するための端子部を設けており、半導体素子は、半導体素子のパッドを介してインナーリードの第2面と電気的に接続していることを特徴とするものである。また、本発明のBGAタイプの半導体装置は、上記本発明のリードフレームを用いたBGAタイプの半導体装置であって、リードフレームの外部端子部の断面に半田膏からなる外部回路と接続するための端子部を設けており、本発明のリードフレームは、ダイパッド部を有するもので、且つ、ダイパッド部は、半導体素子の電極部（パッド）側の電極部との間に設けられ、インナーリード先端部と同一平面上にあり、半導体素子は、半導体素子の電極部側のインナーリードの第2面と同一方向を向くようにして、ダイパッド上に、電極部（パッド）側の面を接合により固定され、電極部（パッド）はワイヤにてインナーリード先端部の第2面と電気的に接続されていることを特徴とするものである。また、本発明のBGAタイプの半導体装置は、上記本発明のリードフレームを用いたBGAタイプの半導体装置であって、リードフレームの外部端子部の断面に半田膏からなる外部回路と接続するための端子部を設けており、本発明のリードフレームは、ダイパッド部を有するもので、且つ、半導体素子は、半導体素子の電極部（パッド）とインナーリード先端部の第2面とが同じ方向を向くようにして、ダイパッド上に、電極部（パッド）側とは反対側の面を接合により固定され、電極部（パッド）はワイヤにてインナーリード先端部の第2面と電気的に接続されていることを特徴とするものである。

(0008)

【作用】本発明のリードフレームは、上記のような構成にすることにより、本発明の、一層の多端子化に対応できるBGAタイプの半導体装置の作製を可能とするものである。詳しくは、本発明のリードフレームは、2段エッチング加工によりインナーリードの先端部の厚さがリードフレーム素材の厚さよりも厚く形成され、図8、図9に示すようなエッチング加工方法により、インナーリードの先端部の厚さが素材の厚さよりも厚く形成されることができ、インナーリードの狭ピッチ化に対応できるものとしている。そして、リードフレームが、インナーリードと一体的に形成した外部回路と接続するための外部端子部を、リードフレーム面に近い二次元的に配列して設けていることより、BGAタイプの半導体装置に採用できるものとしている。そして、インナーリード全体をリードフレーム素材よりも厚く形成していることにより、インナーリード先端部の狭ピッチ化のみならず、インナー

さらに、リードフレームの、インターリード先端部は、断面形状が略方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面は湾曲部でない基材の厚さと同じ厚さの絶縁部分の一方の面と同一平面上にあって第2面に向かい合っており、第3面、第4面はインターリードの内側に向かい込んだ形状に形成されていることより、インターリード先端部のワイヤボンディング端に対し、強度的にも強いものとしている。またリードフレームの外端子部は、断面形状が略方形で4面を有しており、1面の向かい合った全面はリードフレーム基板面上にあり、他の3面の2面はそれぞれ外端子部の内側から外側に向かい凸状であることより、強度的にも充分確保できるものとしている。又、本発明のBCAタイプの保護防止型半導体装置は、上記本発明のリードフレームを用いたもので、上記のような構成により、一層の多端子化に対応できるものとしている。

(0009)

【実施例】本発明のリードフレームの実施例を挙げ図に基づいて説明する。先ず、本発明のリードフレームの実施例1を説明する。図1(a)は本実施例1のリードフレームを示した略平面図であり、図1(b)は、図1(a)の約1/4部分の拡大図で、図1(c)はインターリード先端の断面図で、図1(d)は図1(a)のA1-A2における断面の一部を示した断面図である。

尚、図1(a)は略平面図で、全体を分かり易くするために図1(b)に比べ、インターリードの部、外端子部の数は少なくしてある。図中、100はリードフレーム、110はインターリード、110Aはインターリード先端部、120は外端子部、140はダムバー、150は吊りバー、160はフレーム(枠)、170は絶縁孔である。本実施例1のリードフレームは、42%ニッケル-銀合金を基材とし、図8に示すエッチング加工方法により作製されたBCAタイプの半導体装置用のリードフレームであり、図1(a)に示すように、インターリード110に一体的に連結した外端子部120をインターリード形成面(リードフレーム面)に付いた二次元的に配列しており、且つ、インターリード先端部110A部だけでなくインターリード全体がリードフレーム基材の厚さよりも厚肉に形成されている。外端子部120はリードフレーム基材の厚さに形成されている。40
インターリード110の厚さは40 μ m、インターリード部110以外の厚さは、0.15mmでリードフレーム基材の厚さのままである。また、インターリード先端部110Aのピッチは0.12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インターリードの先端部110Aは、図1(c)に示すように、断面形状が略方形で4面を有しており、第1面110Aaはリードフレーム基材面、湾曲部でない

が、略方形でワイヤボンディングし易い形状となっており、第3面110Ac、第4面110Adはインターリードの内側へ向かい込んだ形状をしており、第2面110Ab(ワイヤボンディング面)を狭くしても強度的に強いものとしている。外端子部120は、図1(d)に示すように、断面形状が略方形で4面を有しており、1面の向かい合った2面120a、120bは外端子部の内側から外側に向かい凸状である。また、図1(d)に示すように、インターリード部110の断面形状は、図1(c)に示すインターリード先端部110Aの断面形状と同じ形状である。尚、本実施例1のリードフレーム100においては、外端子部120はダムバー140と一体的に連結している。

(0010) 次いで、本発明のリードフレームの実施例2を説明する。図2(a)は本実施例2のリードフレーム100Aを示した略平面図であり、図2(b)は、図2(a)の約1/4部分の拡大図で、図2(c)(イ)はインターリード先端の断面図で、図2(c)(ロ)は図1(a)のC1-C2におけるインターリード110の断面を示した断面図である。図2(c)

(ハ)は図1(a)のC1-C2における外端子部120の断面を示した断面図である。尚、図2(a)は略平面図で、全体を分かり易くするために図2(b)に比べ、インターリードの部、外端子部の数は少なくしてある。本実施例2のリードフレームも、42%ニッケル-銀合金を基材とし、図8に示すエッチング加工方法により作製されたBCAタイプの半導体装置用のリードフレームであり、図2(a)に示すように、インターリード110に一体的に連結した外端子部120をリードフレーム面に付いた二次元的に配列してあるが、実施例1のリードフレームとは異なり、インターリード先端部110A部だけをリードフレーム基材の厚さよりも厚肉に形成されている。図2(c)(イ)に示すように、インターリード先端部110Aの断面は、実施例1の場合とは異なっている。図2(c)(ロ)に示すように、実施例1のリードフレームとは異なり、半導体装置と先端部(パッド)とワイヤボンディングにて接続するためのボンディングエリアを含むインターリード先端部110A以外には外端子部120と同じくリードフレーム基材の厚さに形成されている。このため、インターリード先端部110Aに比べ微ピッチを稼ぐことができない。図2(c)(ハ)に示すように、外端子部120の断面は、実施例1のリードフレームと同様に、リードフレーム基材の厚さに形成されている。尚、本実施例1のリードフレーム100Aにおいては、外端子部120はダムバー140と一体的に連結している。

(0011) 尚、実施例1及び実施例2のリードフレームは、図1(a)や図2(a)に示すようにエッチング加工により作製される。

ード先導部を導路部1102にて固定した状態にエッチング加工した後、インターリード110部を減径テープ150で固定した(図3(b))後に、プレス等にて、半導体固定部の口部に不翼の導路部1108を形成して(図2(a))、形成した。尚、実施例2のリードフレームの場合には、インターリード先導部をダイバッドに直接導通した状態にエッチング加工した後、不翼部をカットしてもよい。

(0012) 実施例1のリードフレームのエッチング加工方法を図8に示して説明する。図8は、実施例1のリードフレームのエッチング加工方法を説明するための工程断面図であり、図1(b)のA1-A2部の断面図における製造工程図である。図8中、810はリードフレーム素材、820A、820Bはレジストパターン、830は第一の開口部、840は第二の開口部、850は第一の凹部、860は第二の凹部、870は平坦面、880はエッチング抵抗層を示す。また、110はインターリード、120は外部端子部である。先ず、42μmニッケル-鉄合金からなり、厚みが0.15mmのリードフレーム素材810の両面に、クロム酸カリウムを溶剤とした水溶性セインレジストを塗布した後、所定のパターン版を用いて、所定形状の第一の開口部830、第二の開口部840をもつレジストパターン820A、820Bを形成した。(図8(a))

第一の開口部830は、後のエッチング加工において外部端子部の形状を形成するとともに、インターリード形成領域におけるリードフレーム素材810をこの開口部からベタ状にリードフレーム素材よりも薄く形成するためのもので、レジストの第二の開口部840は、インターリード部および外部端子部の形状を形成するためのものである。次いで、温度57°C、濃度48Béの塩化第二鉄溶液を用いて、スプレー厚2.5kÅ/cmにて、レジストパターンが形成されたリードフレーム素材810の両面をエッチングし、ベタ状(平坦状)に形成された第一の凹部850の深さがリードフレーム素材の1/3に達した時点でエッチングを止めた。(図8(b))

上記第1図目のエッチングにおいては、リードフレーム素材810の両面から同時にエッチングを行ったが、必ずしも両面から同時にエッチングする必要はない。少なくとも、インターリード部形状を形成するための、所定形状の開口部をもつレジストパターン820Bが形成された面側から凹部850によるエッチング加工を行い、形成されたインターリード部形成領域において、所定量エッチング加工し止めることができる。本実施例のように、第1図目のエッチングにおいてリードフレーム素材810の両面から同時にエッチングすることにより、第2図目のエ

08部からのみの片面エッチングの場合と比べ、第1図目エッチングと第2図目エッチングのトータル時間が短縮される。次いで、第一の開口部830側の凹部850にエッチング抵抗層880としてのエッチング性のあるニットメルト型ワックス(アインクテック社製のワックス、登録MR-WB6)を、ダイコータを用いて、塗布し、ベタ状(平坦状)に形成された第一の凹部850に埋め込んだ。レジストパターン820Aおよびエッチング抵抗層880を塗布された状態とした。(図8(c))

エッチング抵抗層880を、レジストパターン820A上全面に塗布する必要はないが、第一の凹部850を含む一部にのみ塗布することにより、図8(c)に示すように、第一の凹部850とともに、第一の開口部830側全面にエッチング抵抗層880を塗布した。本実施例で用いたエッチング抵抗層880は、アルカリ溶媒型のワックスであるが、基本的にエッチング液に耐性があり、エッチング時における腐食の腐蝕性のあるものが、好ましく、特に、上記ワックスに限定されず、UV硬化型のものでもよい。このようにエッチング抵抗層880をインターリード先導部の形状を形成するためのパターンが形成された面側の凹部850に埋め込むことにより、後工程でのエッチング時に第一の凹部850が腐蝕されて穴をくならないようにして、同時に、高層層エッチング加工に對しての機械的な強度を有し、スプレー厚を高く(2.5kÅ/cm以上)とすることができ、これによりエッチングが凹部850に進行しやすくなる。この後、第2図目のエッチングを行い、凹部に形成された第二の凹部860側面側からリードフレーム素材810をエッチングし、貫通させ、インターリード110および外部端子部120を形成した。(図8(d))

第1図目のエッチング加工にて作製された、エッチング抵抗層870は平坦面であるが、この面を挟む2面はインターリード側にへこんだ凹部である。次いで、洗浄、エッチング抵抗層880の除去、レジスト膜(レジストパターン820A、820B)の剥離を行い、インターリード110および外部端子部120が加工された図1(a)に示すリードフレームを得た。エッチング抵抗層880とレジスト膜(レジストパターン820A、820B)の剥離は水溶性ナトリウム水溶液により容易に除去した。

(0013) 上記図8に示すリードフレームのエッチング加工方法は図1(b)のA1-A2部の断面図における製造工程図を示したものであるが、図1(a)に示すインターリード先導部110Aの形成は、図3に示したインターリード110の形成と同じようにして形成される。図8に示すエッチング加工方法によりインターリード全体をリードフレーム素材よりも厚く形成加工す

化を可能とし、インナーリード先端以外の箇所においてもインナーリード間の狭間低化を可能としている。特に、図1(c)に示すように、インナーリード先端の第1面110Aaを導肉部以外のリードフレーム材料の厚さと同じ厚さの他の部分と同一面に、第2面110Abと対向させて形成し、且つ、第3面110Ac、第4面110Adをインナーリード側に凹状にすることができ

(0014) 図2に示す、実施例2のリードフレームは、図8に示すエッチング加工方法において、一層を減らすことによって作製することができ、即ち、インナーリード先端部110Aに図8に示すインナーリード部110作成と同じく、リードフレーム材料810の厚さより薄く形成して形成し、インナーリード110の先端部以外に、図8に示す外部端子部120の作成と同じく、リードフレーム材料810と同じ厚さに形成することにより、インナーリード先端部のみをリードフレーム材料より導肉に形成した実施例2のリードフレームをエッチング加工にて作製できる。

(0015) 後述する実施例2の半導体装置のようにバンパを用いて半導体素子をインナーリードの第2面110bに搭載し、インナーリードと電気的に接続する場合には、第2面110bをインナーリード側に凹んだ形状に形成した方がバンパ接続の時の許容度が大きくなる。図9に示すエッチング加工方法は、第1図面のエッチング工程までは、図8に示す方法と同じであるが、エッチング抵抗層880を第2の凹部860側に埋め込んだ後、第1の凹部850側から第2図面のエッチングを行い、直通させる点で異なっている。図9に示すエッチング加工方法によって得られたリードフレームのインナーリード先端を含めインナーリードの断面形状は、図5(b)に示すように、第2面110bがインナーリード側にへこんだ凹状になる。

(0016) 尚、上記図8、図9に示すエッチング加工方法のように、エッチングを2段階にかけて行うエッチング加工方法を、一般には2段エッチング加工方法とされており、異種加工に有効な方法である。図1に示す実施例1のリードフレーム110や図2に示す実施例2のリードフレームのエッチング加工方法においては、2段エッチング加工方法と、パターン形状を工夫することにより部分的にリードフレーム材料を薄くしながら外形加工をする方法とが併行して行われており、リードフレーム材料を薄くした部分においては、特に、図解な加工ができるようにしている。図8、図9に示す、上記の方法においては、インナーリード先端部110の低減加工は、典型的に行われるインナーリード先端部の厚さ1に左右されるので、例えば、低減1を300nmまで

まで低減加工可能となる。低減1を300nm程度まで薄くし、平均幅W1を700nm程度とすると、インナーリード先端部ピッチが0.12mm程度まで低減加工ができるが、低減1、平均幅W1のとり方次第ではインナーリード先端部ピッチは更に狭いピッチまで作製が可能となる。

(0017) 次いで、本発明のBCAタイプの低抵抗型半導体装置の実施例を挙げ、図を用いて説明する。先ず、本発明のBCAタイプの低抵抗型半導体装置の実施例1を挙げる。図4(a)は、実施例1の低抵抗型半導体装置の断面図で、図4(b)、図4(c)は、それぞれ、インナーリード先端部および外部端子部の半導体装置の組み方向の断面図である。図4中、200は半導体基板、210は半導体素子、211は電極部(パッド)、220はワイヤ、240は低抵抗層、250は絶縁層、260は絶縁性材料、270は端子部である。本実施例1の半導体装置は、上記実施例1のリードフレームを用いたBCAタイプの低抵抗型半導体装置であって、リードフレームの外部端子部120の端面に半田からなる外部回路と接続するための端子部270を半導体装置の一面に二次元的に配列して設けている。本実施例1においては、半導体素子210は、電極部(パッド)211側の面にて、インナーリード110間に電極部211が収まるようにして、インナーリード110の第1面110a側に絶縁性材料260を介して固定されており、電極部(パッド)211はワイヤ220にてインナーリード110の第2面110bと接続されて電気的に接続されている。本実施例1の半導体装置は、半導体素子のサイズとはほぼ同じ大きさに低抵抗層240にて低抵抗を設けており、CSP (Chip Size Package) とも言う。また、ワイヤ220にて接続するインナーリード110の先端部がリードフレーム材料より導肉に形成されていることより、半導体装置の小型化にも対応できるものである。

(0018) 本実施例1の半導体装置に用いられたリードフレームのインナーリード部110の断面形状は、図10(i)(a)に示すようになっており、エッチング平断面(第2面)110Ad側の幅W1にはほぼ平均で図10Aa(第1面)の幅W2より若干大きく、W1、W2(約1000nm)ともこの部分の低抵抗方向の幅Wより大きくなっている。このようにインナーリード元電極の厚さは広くなった断面形状であり、且つ、第3面110Ac、第4面110Adがインナーリード側に凹んだ形状であったため、第1面110Aa、第2面110Adのどちらの面を用いても半導体素子(図示せず)とインナーリード先端部110Aとワイヤによる接続(ボンディング)が安定し、ボンディングし易いものとなっているが、本実施例1の半

13

bはエッチング加工による平坦面(第2面)、110Aはリードフレーム素材面(第1面)、1020Aはワイヤ、1021Aはめっき面である。尚、エッチング平坦面110Ab(第2面)がアラビの粗い面であるため、図10(c)の(a)の場合は、特に腐蝕(ボンディング)特性が低れる。図10(b)は図13に示す加工方法にて作製されたリードフレームのインナーリード先端部1010Bと半導体素子(図示せず)との結露(ボンディング)を示すものであるが、この場合もインナーリード先端部1010Bの両面は平坦面ではあるが、この部分の腐蝕方向の幅に比べ大きくとれない。また両面ともリードフレーム素材面であるが、結露(ボンディング)特性は本実施例のエッチング平坦面より劣る。図10(c)はプレス(コイニング)によりインナーリード先端部を平面化した後にエッチング加工によりインナーリード先端部1010C、1010Dを加工したものの、半導体素子(図示せず)との結露(ボンディング)を示したものであるが、この場合はプレス歪曲が図に示すように平坦になっていないため、どちらの面を用いて結露(ボンディング)しても、図10(c)の(a)、(b)に示すように結露(ボンディング)の面に安定性が悪く品質的にも問題となる場合が多い。尚、1010Abはコイニング面、1010Aaはリードフレーム素材面である。

[0019]次に、本発明のBCAタイプの腐蝕防止型半導体装置の実施例2を挙げる。図5(a)は、実施例2の腐蝕防止型半導体装置の断面図で、図5(b)、図5(c)は、それぞれインナーリード先端部および外部端子部の、半導体装置の厚み方向の断面図である。図5中、200は半導体基盤、210は半導体素子、212はパンプ、240は封止用樹脂、250は通電用テープ、270は電子部である。本実施例2の半導体装置は、42合金(42%ニッケル-鉄合金)からなる0.15mm厚のリードフレーム素材を図9に示すエッチング加工方法により、図1(a)、図1(b)に示す上記実施例1と同じ外観で、インナーリード全体をリードフレームの素材より厚肉に形成したリードフレームを用いたBCAタイプの腐蝕防止型半導体装置であって、リードフレームの外部端子部220の裏面に平坦からなる外部端子部と形成するための電子部270を半導体装置の一面に二次元的に配列して設けている。本実施例2においては、半導体素子210は、パンプ212を介してインナーリード110の先端で第2面110bと電気的に接続している。尚、通電用テープ250はインナーリード110の先端に並一に配列されているが、リードフレームが薄く十分に強度が確保されない場合には、リードフレームの全面にわたって貼ってしめる。

[0020]本実施例2の半導体装置に用いられたリードフレームのインナーリード部110の断面形状は、図

(1)

W2A9-2206

11

半導体110Ab側のW1Aにはほぼ平坦で反対側の面のW2Aより若干大きくなっており、W1A、W2A(約100μm)ともこの部分の厚さ方向中部のW1Aよりも大きくなっている。図10(c)の(b)に示すようにインナーリード先端部の底面に広くなった断面形状であり、第1面110Aaが平坦面、第2面110Abがインナーリード側に凹んだ形状をしており、且つ第3面110Ac、110Adもインナーリード側に凹んだ形状をしている。第2面110Abにて固定してパンプによる接続をし易いものとしている。

[0021]尚、本実施例2の半導体装置においては、図9に示すエッチング加工方法により作製されたリードフレームで、インナーリード全体がリードフレーム素材よりも厚肉に形成されたものを用いており、図5(b)に示すように、インナーリード先端部を有するインナーリード110の第2面110bがインナーリード先端部に凹んだ形状で、パンプ固定の許容を大きくしている。

[0022]次に、本発明のBCAタイプの腐蝕防止型半導体装置の実施例3を挙げる。図6(a)は、実施例3の腐蝕防止型半導体装置の断面図で、図6(b)、図6(c)は、それぞれインナーリード先端部および外部端子部の、半導体装置の厚み方向の断面図である。図6中、200は半導体基盤、210は半導体素子、211はワイヤ、220はワイヤ、240は封止用樹脂、250は通電用テープ、260は通電用テープ、270は電子部、280は保護層、290は保護層である。本実施例3の半導体装置は、上記実施例1のリードフレームにダイパッドを有するリードフレームを使用したBCAタイプの腐蝕防止型半導体装置であって、リードフレームの外部端子部220の裏面に平坦からなる外部端子部と形成するための電子部270を半導体装置の一面に二次元的に配列して設けている。使用したリードフレームは、実施例1の図8に示すエッチング加工方法により、インナーリード全体およびダイパッド130をリードフレーム素材よりも厚肉に形成したもので、ダイパッド130とこれに接続する部分を除き、材質、形状等は実施例1のリードフレームと同じである。本実施例3の半導体装置においては、ダイパッド部130は、半導体素子の電極部(パッド)211間に収まる大きさで、半導体素子210は、半導体素子の電極部211側の面とインナーリード110の第2面110bとが底方向を向くようにして、ダイパッド130上に、電極部(パンプ)211側の面と通電用テープ260により固定され、通電部(パンプ)211はワイヤにてインナーリード110の第2面110bと電気的に接続されている。このように形成することで実施例1あるいは前述の実施例4より、半導体装置を薄型にすることができ、また、ここで、通電用テープを用いているのは、半導体素子が受ける熱をダイパッドを通じて放散させるためである。

ドライン等を形成すれば、熱を効果的に放散でき、保護層 280 は半導体装置の外面を覆うように保護層 290 を介して設けられているが、半導体装置が特に薄型となって強度が不十分である場合に役に立つもので、必ずしも必要ではない。このように、ダイパッドと半導体素子とを導電性材料を介して接続することで、ダイパッドをグラウンドラインと形成した場合に放熱効果だけでなくノイズ対策にもなる。

(0023) 次に、本発明の BGA タイプの半導体装置の断面図の実施例 4 を挙げる。図 7 (a) は、実施例 4 の樹脂封止型半導体装置の断面図で、図 7 (b)、図 7 (c) は、それぞれインナーリード先端部および外部端子部の、半導体装置の厚み方向の断面図である。図 7 中、200 は半導体装置、210 は半導体素子、211 はワイヤ、220 はワイヤ、240 は封止用樹脂、250 は樹脂用テープ、260 は導電性材料、270 は導電部である。本実施例 4 の半導体装置は、実施例 3 の半導体装置と同じく、42%合金 (42%ニッケル-合金) にて、図 8 に示すエッチング加工方法により、インナーリード 110 全体およびダイパッド 130 をリードフレーム素材の厚さより厚肉状に形成したリードフレームを用いた BGA タイプの樹脂封止型半導体装置であり、リードフレームの外部端子部 120 の後面に半田等からなる外装図層と形成するための導電部 270 を設けている。尚、ダイパッド 130 は実施例 3 に比べ大きく半導体素子 210 と略同じ大きさを有する。半導体素子 210 は、半導体素子の電極部 (パッド) 211 とインナーリード 110 の高 2 面 110b とが同じ方向へ、ようにして、ダイパッド 130 上に、電極部 (パッド) 211 側とは反対側の面を導電性材料 260 により固定され、電極部 (パッド) 211 はワイヤ 220 にてインナーリード 110 の高 2 面 110b 側と電気的に接続されている。

(0024) 上記、実施例 1～実施例 4 の半導体装置は、いずれも、図 8、図 9 に示されるような、2 次元エッチング加工方法を用い、少なくともインナーリード先端部をリードフレーム素材よりも厚肉に形成しており、従来の図 12 に示す、リードフレームをコア材として用いた BGA タイプの樹脂封止型半導体装置よりも、一層の多層化に対応できるもので、同時に、インナーリード先端部をリードフレーム素材よりも厚肉に形成していることにより、半導体装置の薄型化に対応できるものである。

(0025)

(発明の効果) 本発明のリードフレームは、上記のように、少なくともインナーリード先端部をリードフレーム素材の厚さより厚肉に 2 次元エッチング加工することによって、外部端子部をリードフレーム面にない二

次元のままに外形加工したリードフレームを用いた BGA タイプの半導体装置に比べ、一層の多層化が可能な BGA タイプの樹脂封止型半導体装置の提供を可能とするものである。また、本発明の BGA タイプの樹脂封止型半導体装置は、上記のように、本発明のリードフレームを用いたもので、一層の多層化と薄型化ができる。リードフレームを用いた BGA タイプの半導体装置の提供を可能とするものである。

(図面の簡単な説明)

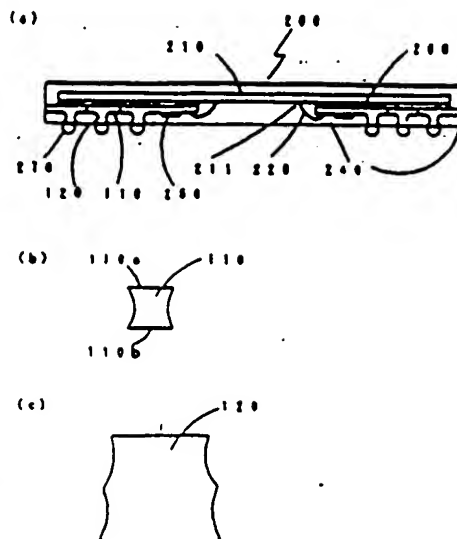
- (図 1) 本発明リードフレームの実施例 1 の概略図
- (図 2) 本発明リードフレームの実施例 2 の概略図
- (図 3) 本発明リードフレームを説明するための図
- (図 4) 本発明の BGA タイプ半導体装置の実施例 1 の断面図
- (図 5) 本発明の BGA タイプ半導体装置の実施例 2 の断面図
- (図 6) 本発明の BGA タイプ半導体装置の実施例 3 の断面図
- (図 7) 本発明の BGA タイプ半導体装置の実施例 4 の断面図
- (図 8) 本発明のリードフレームの製造方法を説明するための工程図
- (図 9) 本発明のリードフレームの製造方法を説明するための工程図
- (図 10) 本発明のリードフレームの半導体素子との接続性を説明するための図
- (図 11) 従来の BGA 半導体装置を説明するための図
- (図 12) 従来のリードフレームを用いた BGA タイプ半導体装置の概略図
- (図 13) 従来のリードフレームの製造方法を説明するための工程図
- (図 14) 本発明のリードフレームとそれを用いた半導体装置の図

(符号の説明)

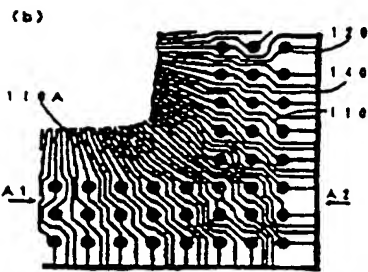
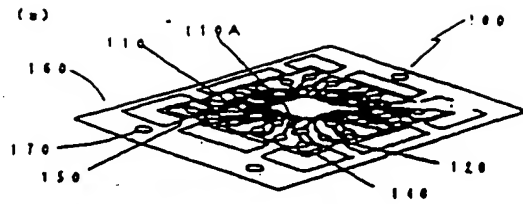
100、100A	リードフレーム
110	インナーリード
110A	インナーリード先端部
120	外部端子部
140	ダムバー
150	吊りバー
160	フレーム (内図)
170	治具孔
200	半導体装置
210	半導体素子
211	電極部 (パッド)
220	ワイヤ
240	封止用樹脂
250	樹脂用テープ

18

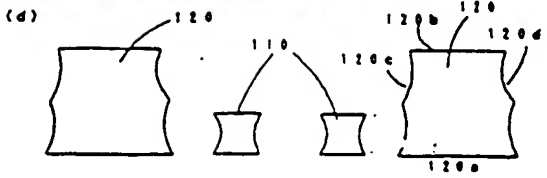
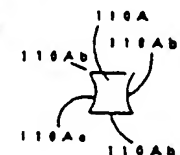
· { □ ◀ } ·



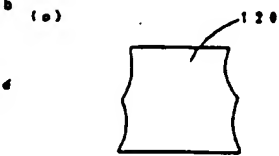
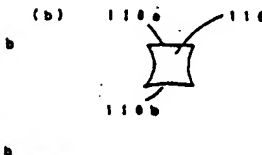
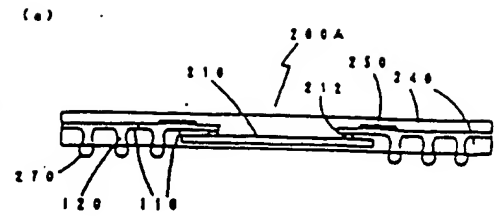
[1]



(c)

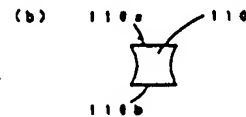
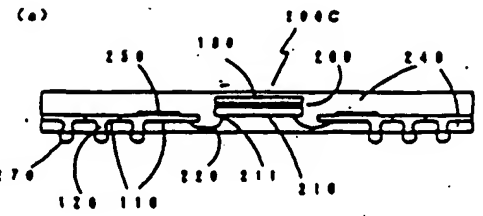
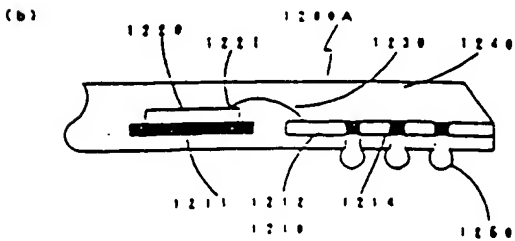
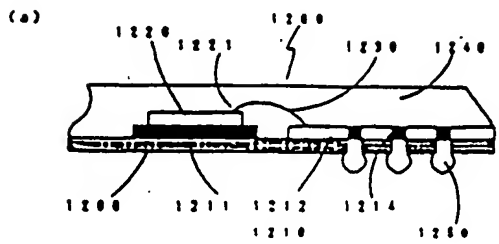


[5]

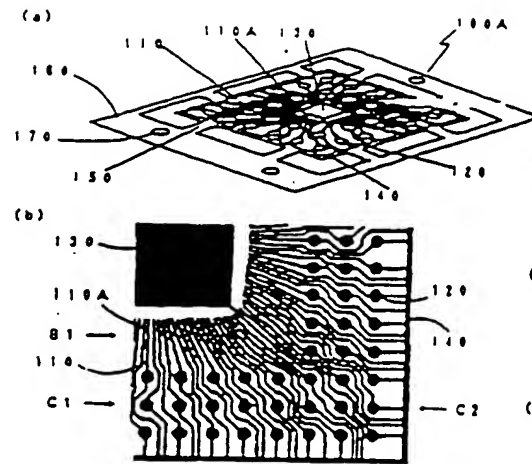


[7]

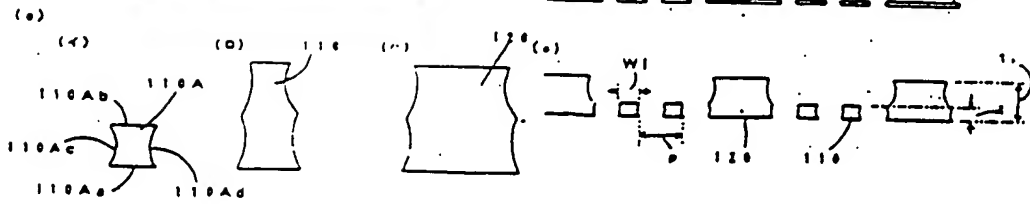
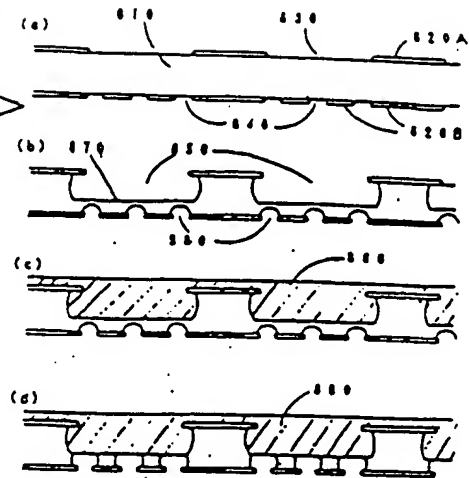
[12]



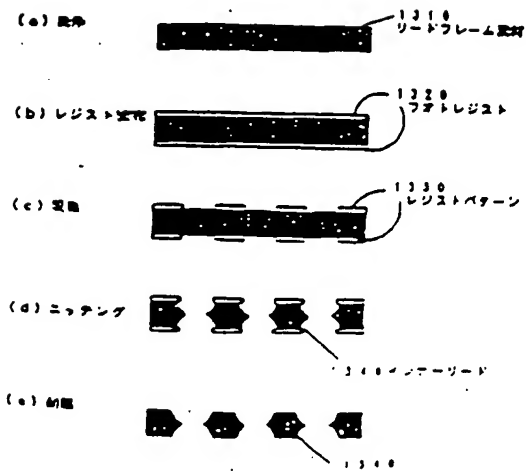
(図 2)



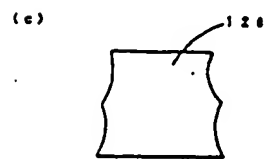
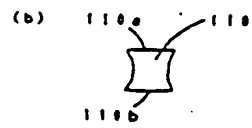
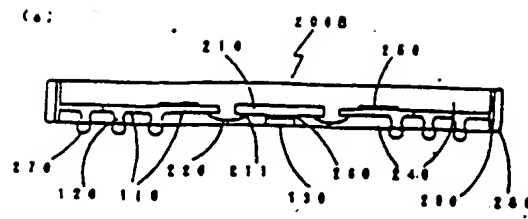
(図 3)



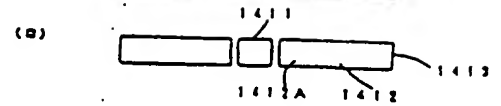
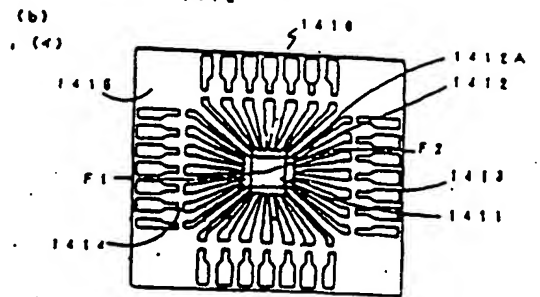
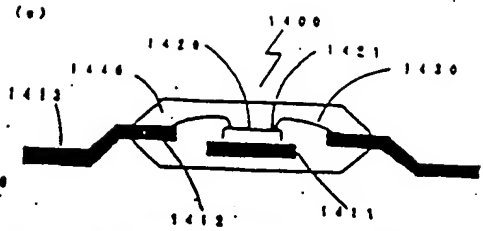
(図 13)



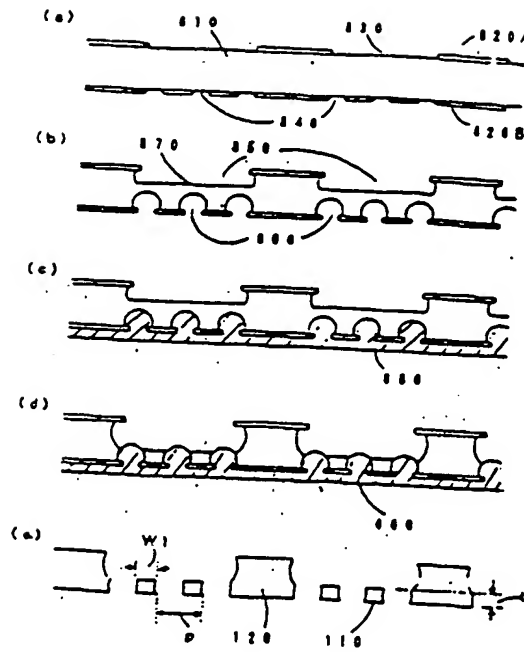
[図 6]



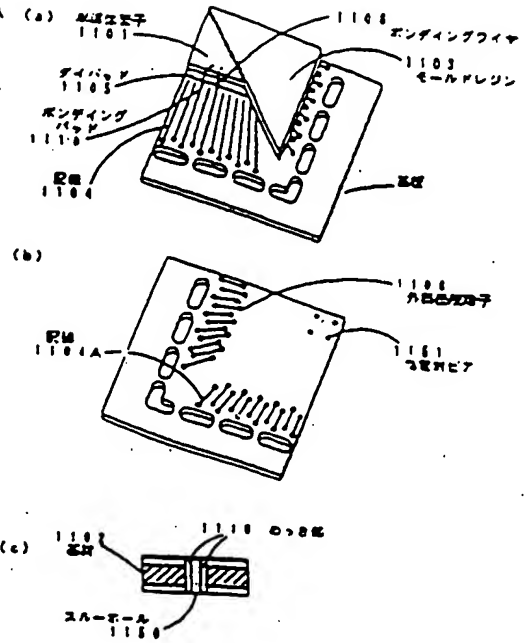
[図 14]



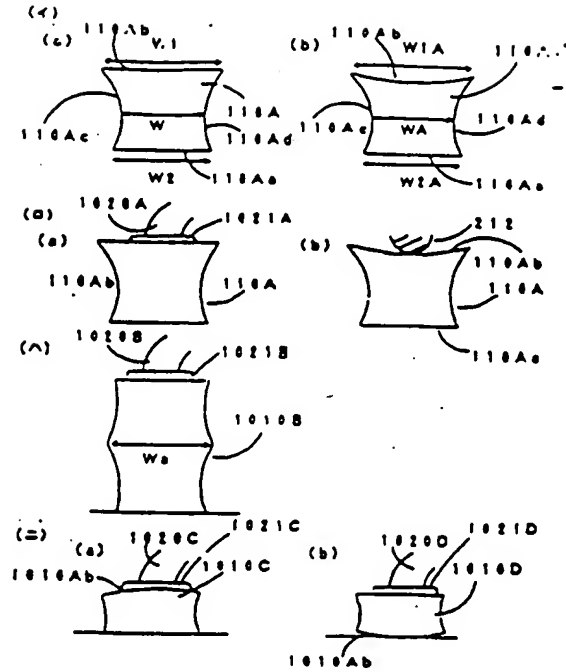
(図 9)



(図 11)



(图 10)



Japanese Patent Laid-Open Publication No. Heisei 9-8206

[TITLE OF THE INVENTION]

LEAD FRAME AND BGA TYPE

5

RESIN ENCAPSULATED SEMICONDUCTOR DEVICE

[CLAIMS]

1. A lead frame for a BGA type semiconductor device
shaped to have a thickness smaller than that of a lead
10 frame blank at tips of inner leads thereof in accordance
with a two-step etching process, comprising:

the inner leads;

outer terminal portions each integrally connected to
an associated one of the inner leads, the outer terminal
15 portions being adapted to be electrically connected to an
external circuit and arranged in a two-dimensional fashion
on a surface of the lead frame blank where the inner leads
are formed;

the tips of the inner leads each having a polygonal
20 cross-sectional shape including four faces respectively
provided with a first surface, a second surface, a third
surface, and a fourth surface, the first surface being
opposite to the second surface and flush with one surface
of the remaining portion of the inner lead having the same
25 thickness as that of the lead frame blank, and the third

and fourth surfaces each having a concave shape depressed toward the inside of the inner lead; and

the outer terminal portions each having a polygonal cross-sectional shape including four faces respectively provided with a pair of opposite surfaces being flush with
5 respective surfaces of the lead frame blank and another pair of opposite surfaces having a convex shape protruded toward the outside of the outer terminal portion.

10 2. The lead frame according to claim 1, wherein each of the inner leads is shaped to have a thickness smaller than that of the lead frame blank at the entire portion thereof.

15 3. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions
20 are formed, the terminal portions serving to be connected to an external circuit;

a semiconductor chip fixedly attached, at a surface thereof formed with electrode portions, to the first surfaces of the inner leads by an insulating adhesive
25 interposed therebetween in such a fashion that the

electrode portions are received between facing ones of the inner leads;

the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

4. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; and

a semiconductor chip electrically connected to the second surfaces of the inner leads by bumps, respectively.

5. The BGA type resin encapsulated semiconductor device according to claim 4, wherein the second surface of the tip of each inner lead has a concave shape depressed toward the inside of the inner lead.

6. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

terminal portions made of solder and arranged on a

surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit;

5 the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing the die pad to be received between facing ones of electrode portions of a semiconductor chip;

10 the semiconductor chip fixedly attached, at a surface thereof formed with the electrode portions, to the die pad by an adhesive in such a fashion that the surface formed with the electrode portions directs in the same direction as the second surfaces of the inner lead tips; and

15 the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

7. A BGA type resin encapsulated semiconductor device fabricated using a lead frame according to claim 1 or 2, comprising:

20 terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit;

25 the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing

the die pad to be received between facing ones of electrode portions of a semiconductor chip;

the semiconductor chip fixedly attached, at a surface thereof opposite to a surface formed with the electrode portions, to the die pad by an adhesive in such a fashion that the electrode portions direct in the same direction as the second surfaces of the inner lead tips; and

the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a lead frame member for a surface-mounting type resin encapsulated semiconductor device in which a lead frame is used as a core to form a circuit, and more particularly to a method for fabricating a lead frame member for BGA type semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

Recently, semiconductor devices have been developed to have a higher integration degree and a higher performance in pace with the tendency of electronic appliances to have a high performance and a light, thin,

simple, and miniature structure. A representative example
of such semiconductor devices is an ASIC of LSI. In such a
highly integrated semiconductor device having a higher
performance, a rapid signal processing is conducted. Due
5 to such a rapid signal processing, the inductance generated
in the package may exceed a negligible level. In order to
reduce the inductance in the package, proposals of
increasing the number of power source terminals and ground
terminals or reducing a substantial inductance have been
10 made. In accordance with such proposals, an increase in
the integration degree and performance of a semiconductor
device results in an increase in the total number of outer
terminals (pins). For this reason, semiconductor devices
should have a multipinned structure using a further
15 increased number of pins. Among semiconductor devices such
as ASICs, representative examples of which are multipinned
ICs, in particular, gate arrays or standard cells,
microcomputers, or DSPs (Digital Signal Processors), those
using lead frames include surface-mounting packages such as
20 QFPs (Quad Flat Packages). Currently, QFPs up to a 300-pin
class are practically being used. Such a QFP uses a
single-layered lead frame 1410 shown in Fig. 14b. The
cross-sectional structure of this QFP is shown in Fig. 14a.
As shown in Fig. 14a, a semiconductor chip 1420 is mounted
25 on a die pad 1411. Terminals (electrode pads) 1421 of the

semiconductor chip 1420 are connected with tips 1412A of inner leads 1412 plated with, for example, gold, by means of wires 1430, respectively. Thereafter, a resin encapsulating process is conducted, thereby forming a resin encapsulate 1440. Dam bars are then partially cut. Finally, outer leads 1413 are bent to have a gull-wing shape. Thus, the fabrication of the QFP is completed. This QFP has a structure in which the outer leads adapted to be connected to an external circuit are simultaneously arranged at the four sides of the package. That is, such a QFP is one developed to cope with a requirement for an increase in the number of terminals (pins). In the above case, the single-layered lead frame 1410 used is typically fabricated by processing a metal plate, made of cobalt, 42 ALLOY (42% Ni/Fe alloy), or a copper-based alloy exhibiting a high conductivity and a high strength, in accordance with an etching process or a stamping process to have a shape shown in Fig. 14b. In Fig. 14b, the portion (1) is a plan view of the single-layered lead frame, and the portion (2) is a cross sectional view taken along the line F1 - F2 of the portion (1).

However, semiconductor devices recently developed to have a higher signal processing speed and a higher performance (function) have inevitably involved use of an increased number of terminals. In the case of QFPs, use of

an increased number of terminals may be achieved by reducing the pitch of outer terminals. However, where the pitch of outer terminals is reduced, the outer terminals should have a correspondingly reduced width. This results in a degradation in the strength of the outer terminals. As a result, there may be problems in regard to the positional accuracy or the accuracy of flatness in the terminal shaping process for processing the outer terminals to have a gull-wing shape. In QFPs, the pitch of the outer leads is further reduced from 0.4 mm to 0.3 mm. Due to such a reduced outer lead pitch, it is difficult to achieve the mounting process. This causes a problem in that a sophisticated board mounting technique should be realized.

In order to avoid problems involved in conventional QFPs in regard to the mounting efficiency and mounting possibility, a plastic package semiconductor device called a "BGA (Ball Grid Array) semiconductor package" has been developed which is a surface-mounting package having solder balls as outer terminals thereof. The BGA semiconductor package is a surface-mounting semiconductor device (plastic package) in which outer terminals thereof are comprised of solder balls arranged in a matrix array on a package surface. In order to increase the number of input/output terminals in such a BGA semiconductor package, a semiconductor chip is mounted on one surface of a double-

sided circuit board. To the other surface of the circuit board, spherical solder balls are attached as electrodes for outer terminals. The electrodes for outer terminals are electrically conducted with the semiconductor chip via through holes, respectively. Since the spherical solder balls are arranged in the form of an array, it is possible to increase the terminal pitch, as compared to semiconductor devices using a lead frame. Accordingly, it is possible to achieve an increase in the number of input/output terminals without any difficulty in mounting semiconductor devices. The above mentioned BGA semiconductor package typically has a structure as shown in Fig. 11a. Fig. 11b is a view taken toward the lower surface of a blank shown in Fig. 11a. Fig. 11c shows through holes 1150. This BGA semiconductor package includes a die pad 1105 and bonding pads 1110 provided at one surface of a flat blank (resin plate) 1102 made of, for example, BT resin (bismalleid-based resin) to exhibit an anti-heat dissipation property. The die pad 1105 is adapted to mount a semiconductor chip 1101 thereon. The bonding pads 1110 are electrically connected with the semiconductor chip 1101 by means of bonding wires 1108, respectively. The BGA semiconductor package also includes outer connecting terminals 1106 provided at the other surface of the blank 1102. The outer connecting terminals

1106 are comprised of solder balls arranged in the form of a lattice or in a zig-zag fashion to electrically and physically connect the resulting semiconductor device to an external circuit. The bonding pads 1110 are electrically
5 connected to the outer connecting terminals 1106 by means of wires 1104, through holes 1150, and wires 1104A, respectively. However, such a BGA semiconductor package has a complex configuration in that the blank 1102 is formed at both surfaces thereof with the circuits adapted
10 to connect the semiconductor chip mounted on the BGA semiconductor package with the wires and electrodes, as outer terminals, adapted to allow the semiconductor package to be mounted on a printed circuit board after being configured into a semiconductor device. Furthermore, a
15 short circuit may occur in the through holes 1150 due to a thermal expansion of the resin. Thus, the above mentioned BGA semiconductor package involves various problems in regard to manufacture and reliance.

In order to simplify the fabrication process of
20 semiconductor packages while avoiding a degradation in reliability, various proposals have recently been made in which a circuit having a lead frame as a core thereof is formed, as different from the structure shown in Figs. 11a to 11c. In BGA semiconductor packages using such a lead
25 frame, holes are perforated at areas respectively

corresponding to the outer terminal portions 1214 of the lead frame 1210. The lead frame 1210 is fixedly attached to an insulating film 1260. Such a structure is illustrated in Fig. 12a. A similar structure is shown in Fig. 12b. Conventionally, the lead frame used in SGA semiconductor packages adapted to use such a lead frame is fabricated using an etching process as shown in Figs. 13a to 13e. Inner and outer terminal portions 1212 and 1214 are formed to have the same thickness as that of a lead frame blank used. The etching process illustrated in Figs. 13a to 13e will now be described in brief. First, a thin plate (a lead frame blank 1310) made of a copper alloy or a nickel-copper alloy containing 42% Ni to have a thickness of about 0.25 mm is sufficiently cleaned. Thereafter, a photoresist 1320 such as a water-soluble casein resist using potassium dichromate as a sensitive agent is uniformly coated over both surfaces of the thin plate (Fig. 13b).

Subsequently, the resist films are exposed to highly-pressurized mercury while using a mask formed with a desired pattern, and then developed using a desired developing solution, thereby forming resist patterns 1330 (Fig. 13c). If necessary, an additional process such as a film hardening process or a cleaning process is then conducted. An etching solution containing a ferric

chloride solution as a principal component thereof is sprayed onto the thin plate (lead frame blank 1310), thereby causing the thin plate to be etched to have through holes having a desired shape and size (Fig. 13d).

5 The remaining resist films are then removed (Fig. 13e). After the removal of the resist films, the resulting structure is cleaned to obtain a desired lead frame. Thus, the etching process is completed. The lead frame obtained after the etching process is then subjected to a silver
10 plating process at desired regions thereof. Following processes such as a cleaning process and a drying process, the inner lead portions of the lead frame are subjected to a tapping process using a polyimide-based adhesive tape for their fixing. If necessary, a bending process for tab bars
15 and a down-setting process for the die pad are conducted. In the etching process shown in Fig. 13a to 13e, however, the thin plate is etched in both the direction of the thickness and directions perpendicular to the direction of the thickness. For this reason, there is a limitation in
20 the miniaturization of inner lead pitches of lead frames.

(SUBJECT MATTERS TO BE SOLVED BY THE INVENTION)

As described above, BGA type resin encapsulated semiconductor devices using a lead frame as a core thereof
25 can have an increased pitch of outer terminals adapted to

be connected to an external circuit while achieving an easy mounting for semiconductor devices, thereby allowing an increase in the number of input and output terminals, as compared to semiconductor packages using a single-layered lead frame shown in Fig. 14b while having outer terminals having the same structure as those of the BGA type semiconductor packages. However, there has also been growing demand for an increase in the number of terminals semiconductor packages. To this end, a reduced pitch of inner leads has been essentially required. Consequently, it is necessary to provide schemes capable of solving such a requirement. The present invention is adapted to solve the above mentioned requirement. In accordance with the present invention, it is possible to use an increased number of terminals. The present invention is adapted to provide a BGA type semiconductor device in which a circuit using a lead frame as its core is formed. Also, the present invention is adapted to provide a lead frame used to fabricate the above mentioned semiconductor device.

20

[MEANS FOR SOLVING THE SUBJECT MATTERS]

The lead frame of the present invention is shaped to have a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with a two-step etching process. This lead frame is characterized in that

25

it comprises: inner leads; outer terminal portions each integrally connected to an associated one of the inner leads, the outer terminal portions being adapted to be electrically connected to an external circuit and arranged
5 in a two-dimensional fashion on a surface of the lead frame blank where the inner leads are formed; the tips of the inner leads each having a polygonal cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth
10 surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the
15 inner lead; and the outer terminal portions each having a polygonal cross-sectional shape including four faces respectively provided with a pair of opposite surfaces being flush with respective surfaces of the lead frame blank and another pair of opposite surfaces having a convex
20 shape protruded toward the outside of the outer terminal portion. The present invention is also characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged
25 on a surface of the lead frame where the outer terminal

portions are formed, the terminal portions serving to be connected to an external circuit; a semiconductor chip fixedly attached, at a surface thereof formed with electrode portions, to the first surfaces of the inner leads by an insulating adhesive interposed therebetween in such a fashion that the electrode portions are received between facing ones of the inner leads; the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire.

Also, the present invention is characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; and a semiconductor chip electrically connected to the second surfaces of the inner leads by bumps, respectively. This BGA type resin encapsulated semiconductor device is also characterized in that the second surface of the tip of each inner lead has a concave shape depressed toward the inside of the inner lead. The present invention is further characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface

of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing the die pad to be received between facing ones of electrode portions of a semiconductor chip; the semiconductor chip fixedly attached, at a surface thereof formed with the electrode portions, to the die pad by an adhesive in such a fashion that the surface formed with the electrode portions directs in the same direction as the second surfaces of the inner lead tips; and the electrode portions each being electrically connected to the second surface of an associated one of the inner leads by a wire. The present invention is also characterized by a BGA type resin encapsulated semiconductor device fabricated using the lead frame of the present invention comprising: terminal portions made of solder and arranged on a surface of the lead frame where the outer terminal portions are formed, the terminal portions serving to be connected to an external circuit; the lead frame including a die pad having the same thickness as that of the inner lead tip and a size allowing the die pad to be received between facing ones of electrode portions of a semiconductor chip; the semiconductor chip fixedly attached, at a surface thereof opposite to a surface formed with the electrode portions,

to the die pad by an adhesive in such a fashion that the electrode portions direct in the same direction as the second surfaces of the inner lead tips; and the electrode portions each being electrically connected to the second
5 surface of an associated one of the inner leads by a wire.

[FUNCTIONS]

The lead frame of the present invention is fabricated using a two-step etching process in such a fashion that it
10 has a thickness smaller than that of a lead frame blank used at its inner lead tips. In particular, the present invention makes it possible to fabricate a lead frame having a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with a two-
15 step etching process. That is, it is possible, in accordance with the present invention, to fabricate a lead frame having a thickness smaller than that of a lead frame blank at tips of inner leads thereof in accordance with an etching process shown in Figs. 8 or 9, thereby being
20 capable of achieving a reduction in the pitch of inner leads. In accordance with the present invention, it is also possible to provide a BGA type resin encapsulated semiconductor device capable of achieving use of an increased number of terminals by arranging outer terminal
25 portions in a two-dimensional fashion on a lead frame

surface. The present invention also achieves a reduction in the pitch of the inner leads as well as a reduction in the tip width of the inner leads by allowing the inner leads to have a thickness smaller than that of the lead frame blank. The tip of each inner lead has a polygonal cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface. The first surface is opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank. The third and fourth surfaces have a concave shape depressed toward the inside of the inner lead. Accordingly, an increase in strength is obtained with respect to the wire bonding width of the inner lead tips. Each outer terminal portion has a polygonal cross-sectional shape including four faces respectively provided with a pair of opposite surfaces being flush with respective surfaces of the lead frame blank and another pair of opposite surfaces having a convex shape protruded toward the outside of the outer terminal portion. Accordingly, the outer terminal portions have a sufficient strength. By virtue of the lead frame of the present invention having the above mentioned structure, the BGA type resin encapsulated semiconductor device of the present invention can have an increased number of

terminals.

[EMBODIMENTS]

Hereinafter, embodiments of the present invention
5 will be described in conjunction with the annexed drawings.
First, a lead frame according to a first embodiment of the
present invention will be described. Fig. 1a is a plan
view schematically illustrating the lead frame according to
the first embodiment of the present invention. Fig. 1b is
10 an enlarged view corresponding to about 1/4 portion of Fig.
1a. Fig. 1c is a cross-sectional view illustrating tips of
inner leads. Fig. 1d is a cross-sectional view partially
taken along the line A1 - A2 of Fig. 1a.

For the easy understanding of the illustrated
15 structure, Fig. 1a, which is a schematic view, illustrates
a reduced number of inner leads and a reduced number of
outer terminal portions, as compared to Fig. 1b. In the
figures, the reference numeral 100 denotes a lead frame,
110 inner leads, 110A tips of the inner leads, 120 outer
20 terminal portions, 140 dam bars, 150 tab bars, 160 a frame
portion, and 170 die holes. The lead frame according to
the first embodiment is made of a nickel-copper alloy
containing 42% Ni. This lead frame is fabricated in
accordance with an etching process shown in Fig. 8 so that
25 it is used for BGA type semiconductor devices. As shown in

Fig. 1a, outer terminal portions 120, each of which is integrally connected to an associated one of inner leads 110, are arranged in a two-dimensional fashion on a surface where the inner leads are formed, that is, a lead frame surface. The inner leads 110 has a thickness smaller than that of a blank for the lead frame at its entire portion including tips 110A. The outer terminal portions 120 have the same thickness as that of the lead frame blank. The inner leads 110 have a thickness of 40 μ m whereas the portions of the lead frame other than the inner leads 110 have a thickness of 0.15 mm corresponding to the thickness of the lead frame blank. The tips 110A of the inner leads have a small pitch of 0.12 mm so as to achieve an increase in the number of terminals for semiconductor devices. As shown in Fig. 1c, the tip 110A of each inner lead has a substantially polygonal cross-sectional shape having four faces. The first face denoted by the reference numeral 110Aa corresponds to a surface of the lead frame blank. That is, the first face 110Aa is flush with one surface of an associated one of the outer terminal portions 120 involving no reduction in thickness. The second face denoted by the reference numeral 110Ab is a surface etched, but having a substantially flat profile, so as to allow an easy wire bonding thereon. The third and fourth faces 110Ac and 110Ad have a concave shape depressed toward the inside

of the associated inner lead, respectively. This structure exhibits a high strength even though the second face (wire bonding surface) 110Ab is narrow. Each outer terminal portion 120 has a substantially polygonal cross-sectional shape having four faces, as shown in Fig. 1d. A pair of opposite faces 120a and 120b have a convex shape protruded toward the outside of the associated outer terminal portion, respectively. As shown in Fig. 1d, each inner lead 110 has a cross-sectional shape corresponding to that of its tip 110A shown in Fig. 1c. In the case of the lead frame 100 according to this embodiment, the outer terminal portions 120 are integrally connected to dam bars 140.

Now, a lead frame according to a second embodiment of the present invention will be described. Fig. 2a is a plan view schematically illustrating the lead frame, denoted by the reference numeral 100a, according to the first embodiment of the present invention. Fig. 2b is an enlarged view corresponding to about 1/4 portion of Fig. 1a. Fig. 2c(1) is a cross-sectional view illustrating tips of inner leads. Fig. 2c(2) is a cross-sectional view partially taken along the line C1 - C2 of Fig. 2b, illustrating the cross sections of the inner leads. Fig. 2c(3) is a cross-sectional view partially taken along the line C1 - C2 of Fig. 2b, illustrating the cross sections of the outer terminal portions 120. For the easy

understanding of the illustrated structure, Fig. 2a, which is a schematic view, illustrates a reduced number of inner leads and a reduced number of outer terminal portions, as compared to Fig. 2b. Similarly to the first embodiment, the lead frame according to the second embodiment is made of a nickel-copper alloy containing 42% Ni. This lead frame is fabricated in accordance with an etching process shown in Fig. 8 so that it is used for BGA type semiconductor devices. As shown in Fig. 2a, outer terminal portions 120, each of which is integrally connected to an associated one of inner leads 110, are arranged in a two-dimensional fashion on a lead frame surface. As different from the first embodiment, the inner leads 110 of the second embodiment has a thickness smaller than that of a blank for the lead frame only at its tips 110A. As shown in Fig. 2c(1), the tip 110A of each inner lead has a cross-sectional shape substantially same as that of the first embodiment. The entire portion of each inner lead, except for a portion corresponding to a bonding region where an electrode portion (pad) is wire-bonded to a semiconductor chip for the connection therebetween, has the same thickness as that of the lead frame blank, similarly to the outer terminal portions 120, as shown in Fig. 2c(2). For this reason, the above mentioned portion of each inner lead cannot have a small pitch as in the tip.

As shown in Fig. 2c(1), each outer terminal portion 120 has a cross section with the same thickness as that of the lead frame blank, as in the lead frame of the first embodiment. Also, in the case of the lead frame 100A according to this embodiment, the outer terminal portions 120 are integrally connected to dam bars 140.

Where either the lead frame of the first embodiment or the lead frame of the second embodiment may be easily twisted at its inner leads 110 when it is formed into the shape of Fig. 1 or 2 in accordance with an etching process. To this end, the lead frame is subjected to an etching process in a state in which the tips of the inner leads are fixed together by means of connecting portions 110B. After completion of the etching process, the inner leads 110 are fixedly held by reinforcing tapes 190 (Fig. 3b). When a semiconductor device is fabricated using the lead frame, those fixing members are removed using a press or the like (Fig. 2a). In the case of the lead frame according to the second embodiment, it can be subjected to the etching process under the condition in which the tip of each inner lead is directly connected to the die pad. In this case, unnecessary portions of the lead frame are cut off after the etching process.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs.

8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line A1 - A2 of Fig. 1b, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first openings, 840 second openings, 850 first concave portions, 870 flat surfaces, and 880 an etch-resistant layer, respectively. Also, the reference numeral 110 denotes inner leads, and the reference numeral 120 denotes outer terminal portions. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a nickel-copper alloy containing 42% Ni to have a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first openings 830 and second openings 840, respectively (Fig. 8a).

The first openings 830 are adapted to not only form a desired shape for outer terminal portions in a subsequent process, but also to allow the lead frame blank 810 to be etched in accordance with the pattern shape of the first openings to have a reduced thickness at inner lead forming

regions. The second openings 840 are adapted to form desired shapes of inner leads and outer terminal portions. Thereafter, both surfaces of the lead frame blank 810 formed with the resist patterns are etched using a 4% ferric chloride solution of 57°C at a spray pressure of 2.5 kg/cm². The etching process is terminated at the point of time when first recesses 850 etched to have a flat etched bottom surface have a depth h corresponding to 1/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously both surface of the lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as described hereinafter. The total time taken for the primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead

frame blank on which the resist pattern 820B is formed. Subsequently, the surface provided with the first recesses 850 respectively etched at the first openings 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form
5 an etch-resistant layer 880 so as to fill up the first recesses 850 and to cover the resist pattern 820A (Fig. 8c).

It is unnecessary to coat the etch-resistant layer
10 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recesses 850 and first openings 830, as shown in Fig. 8c, because it is difficult
15 to coat the etch-resistant layer 880 only on the surface portion including the first recesses 850. Although the hot-melt wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining
20 somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the aforementioned wax, but may be a wax of a UV-setting type. Since each first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to
25 form a desired shape of the inner lead tip is filled up

with the etch-resistant layer 880, it is not further etched in the following secondary etching process. The etch-resistant layer 880 also enhances the mechanical strength of the lead frame blank for the second etching process, thereby enabling the second etching process to be conducted while keeping a high accuracy. It is also possible to enable a second etchant solution to be sprayed at an increased spraying pressure, for example, 2.5 kg/cm or above, in the secondary etching process. The increased spraying pressure promotes the progress of etching in the direction of the thickness of the lead frame blank in the secondary etching process. Then, the lead frame blank is subjected to a secondary etching process. In this secondary etching process, the lead frame blank 810 is etched at its surface formed with second recesses 860 to completely perforate the second recesses 860, thereby forming inner leads 110 and outer terminal portions 120 (Fig. 8d).

The bottom surface 870 of each recess formed by the primary etching process is flat. However, both side surfaces of each recess positioned at opposite sides of the bottom surface 870 have a concave shape depressed toward the inside of the inner lead. Then, the lead frame blank is cleaned. After completion of the cleaning process, the etch-resistant layer 880, resist films (resist patterns

620A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 1a formed with the inner leads 110 and outer terminal portions 120 is obtained. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

Although the lead frame etching method of Figs. 8a to 8e correspond to a cross section taken along the line A1 - A2 of Fig. 1b, respectively, the inner lead tips 110A of Fig. 1a may be formed to have the same shape as that of the inner leads 110 shown in Fig. 8. Since the entire portion of each inner lead is formed to have a thickness smaller than that of the lead frame blank in accordance with the etching process shown in Fig. 8, it is possible to obtain a reduced pitch of the inner lead tips. It is also possible to allow the inner leads to have a reduced pitch at their portions other than their tips. In particular, it is possible to provide a structure in which the first surface 110Aa of the inner lead tip can be flush with the lead frame blank portions having the same thickness as that of the lead frame blank, except for the lead frame blank portions having a reduced thickness, while being opposite to the second surface 110Ab, as shown in Fig. 1c. In this case, the third and fourth surfaces 110Ac and 110Ad may have a concave shape depressed toward the inside of the

inner lead.

5 The lead frame of the second embodiment shown in
Figs. 2a to 2e can be fabricated using an etching method
partially modified from that of Figs. 8a to 8e. That is,
the tip 110A of each inner lead is formed to have a
thickness smaller than that of the lead frame blank 810
10 using the same method as that shown in Figs. 8a to 8e and
used for the fabrication of the inner leads 110. The
remaining portions of the lead frame except for the inner
lead tips are formed to have the same thickness as that of
the lead frame blank 810 using the same process as used in
the formation of the outer terminal portions 120 shown in
Figs. 8a to 8e. Thus, the lead frame of the second
embodiment, in which only the inner lead tips have a
15 thickness smaller than that of the lead frame blank, can be
fabricated using an etching process.

Where a semiconductor chip is mounted on the second
surfaces 110b of the inner leads by means of bumps for an
electrical connection therebetween, as in a semiconductor
20 device according to a second embodiment as described
hereinafter, an increased tolerance for the connection by
bumps is obtained when the second surface 110b has a
concave shape depressed toward the inside of the inner
lead. To this end, an etching method shown in Figs. 9a to
25 9e is used in this case. The etching method shown in Figs.

9a to 9e is the same as that of Figs. 8a to 8e in association with its primary etching process. After completion of the primary etching process, the etching method is conducted in a manner different from that of the etching method of Figs. 8a to 8e in that the second etching process is conducted at the side of the first recesses 850 after filling up the second recesses 860 by the etch-resist layer 880, thereby completely perforating the second recesses 860. The cross section of each inner lead, including its tip, formed in accordance with the etching method of Figs. 9a to 9e, has a concave shape depressed toward the inside of the inner lead at the second surface 110b, as shown in Fig. 5.

The etching method in which the etching process is conducted at two separate steps, respectively, as in that of Figs. 8a to 8e or 9a to 9e, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 110 of the first embodiment shown in Figs. 1a to 1d or the lead frame of the second embodiment shown in Figs. 2a to 2c involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In particular, the etching method makes it possible to achieve a desired

fineness. In accordance with the method illustrated in Figs. 8a to 8e or Figs. 9a to 9e, the fineness of the tip of each inner lead formed by this method is dependent on the thickness of the inner lead tip. For example, where the blank has a thickness t reduced to 50 μm , the inner leads can have a fineness corresponding to a lead width w_1 of 100 μm and a tip pitch p of 0.15 mm, as shown in Fig. 8e. In the case of using a small blank thickness t of about 30 μm and a lead width w_1 of 70 μm , it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width w_1 .

Now, preferred embodiments of the present invention associated with a BGA type resin encapsulated semiconductor device will be described in conjunction with the annexed drawings. First, a first embodiment of a BGA type resin encapsulated semiconductor device will be described. Fig. 4a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the first embodiment. Figs. 4b and 4c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 4a to 4c, the reference numeral 200 denotes the semiconductor device, 211 electrode portions (pads), 220 wires, 240 a resin encapsulate, 250 reinforcing tapes, 260 an insulating adhesive, and 270 terminal portions, respectively. The BGA type resin encapsulated semiconductor device is fabricated using the lead frame according to the first embodiment. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connected to an external circuit, are arranged in a two-dimensional fashion on respective surfaces of outer

terminal portions 120 included in the lead frame. In this first embodiment, a semiconductor chip 210 is fixedly attached to the first surfaces 110a of inner leads 110 by means of an insulating adhesive 260 at its surface formed with electrode portions (pads) 211 in such a fashion that the electrode portions (pads) 211 are interposed between facing ones of the inner leads 110. Each electrode portion (pad) 211 is electrically connected to the second surface 110b of an associated one of the inner leads 110 by means of a wire 220. The semiconductor device of this first embodiment is encapsulated by a resin encapsulate 240 having a size substantially same as that of the semiconductor chip. This semiconductor device is also called a "CSP (Chip Size Package)". Since the tip of each inner lead 110 connected with the semiconductor chip by the associated wire 220 has a thickness smaller than that of the lead frame blank, the semiconductor device can have a thin structure.

The inner leads 110 of the lead frame used in the semiconductor device of this first embodiment has a cross-sectional shape as shown in Fig. 10(1)a. The inner lead 110 has an etched flat surface (second surface) 110Ab which has a width W1 slightly more than the width W2 of an opposite surface 110Aa (first surface). The widths W1 and W2 are more than the width W at the central portion of the inner lead when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces while having a third surface 110Ac and a fourth surface 110Ad with a concave shape depressed toward the inside of the inner lead. By virtue of such a structure, a stable connection and an easy bonding are achieved in either case in which the inner lead tip 110A is wire-bonded to the semiconductor chip (not shown) at its first surface 110Aa or its second surface 110Ab. In the illustrated case, however, the etched surface (Fig. 10(1)a) is used as a bonding surface. In the figure, the reference numeral 110Ab denotes the flat surface (second surface) formed by an etching process, 110Aa the surface of the lead frame blank (first surface), 1020A wires, and 1021a plated portions, respectively. Since the etched flat surface 110Ab (second surface) is not rough, it exhibits a superior aptitude for connection (bonding) in the case of Fig. 10(D)a. Fig. 10(1) illustrates the connection (bonding) of the inner lead tip 1010B of the lead frame fabricated in accordance with an etching method shown in Fig. 13 to a semiconductor chip (not shown). In this case, the inner lead tip 1010B is

flat at both surfaces thereof. However, the surfaces of the inner lead tip 1010B have a width not more than the width defined between them in the thickness direction. Since both the surfaces are portions of the unprocessed surfaces of the blank for forming this lead frame, the aptitude thereof for connection (bonding) is inferior to that of the etched flat surface of the inner lead tip in accordance with this embodiment. Fig. 10(II) illustrates the tips 1010C and 1010D of inner leads formed in accordance with an etching process after being processed to have a reduced thickness and then subjected to an etching process and then connected to a semiconductor chip (not shown). Since the surface of each inner lead tip, at which a pressing process is conducted, is not flat, as shown in the figure, the tip is unstable during a connection (bonding) process, which may cause a problem in the reliability of the semiconductor package, as shown in Figs. 10(III)a and 10(III)b. In the figures, the reference numeral 1010Ab denotes a coining surface, and the reference numeral 1010Aa denotes a lead frame blank surface.

A second embodiment of the present invention associated with a BGA type resin encapsulated semiconductor device will now be described. Fig. 5a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the second embodiment. Figs. 5b and 5c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 5a to 5c, the reference numeral 200 denotes the semiconductor device, 210 a semiconductor chip, 212 bumps, 240 a resin encapsulate, 250 reinforcing tapes, and 270 terminal portions, respectively. The BGA type resin encapsulated semiconductor device is fabricated using a lead frame made of a nickel-copper alloy containing 42% Ni to have a thickness of about 0.15 mm and processed to have the same shape as that in the first embodiment of Figs. 1a and 1b in accordance with an etching process of Figs. 9a to 9e while having, at the entire portion of each inner lead, a thickness smaller than that of a blank for the lead frame. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connected to an external circuit, are arranged in a two-dimensional fashion on one surface of the semiconductor device. In this second embodiment, a semiconductor chip 210 is mounted near the tips of the inner leads 110 by means of bumps 212. Where the strength of the inner leads is insufficient due to a thin structure of the lead frame, the semiconductor chip 210 may be

attached to the lead frame over the entire portion of the lead frame.

5 The inner leads 110 of the lead frame used in the semiconductor device of this second embodiment has a cross-sectional shape as shown in Fig. 10(1)b. The inner lead 110 has an etched flat surface (second surface) 110Ab which has a width W1A slightly more than the width W2A of an opposite surface. The widths W1A and W2A (about 100 μ m) are more than the width WA at the central portion of the inner lead when viewed in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. The first surface 110Aa is flat whereas the second surface 110Ab has a concave shape depressed toward the inside of the inner lead. The third and fourth surfaces 110Ac and 110Ad also have a concave shape depressed toward the inside of the inner lead. By virtue of such a structure, a stable and easy connection at the second surface 110Ab is achieved.

10 The semiconductor device according to this second embodiment uses the lead frame fabricated in accordance with the etching method of Figs. 9a to 9e while having a thickness smaller than that of the lead frame blank at the entire portion of the inner lead thereof. The lead frame also has a concave shape depressed toward the inside of the inner lead tip at the second surface 110b of the inner lead 110 including the tip. By virtue of such a lead frame structure, an increased tolerance for the connection by bumps is obtained.

15 A third embodiment of the present invention associated with a BGA type resin encapsulated semiconductor device will now be described. Fig. 6a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the third embodiment. Figs. 6b and 6c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 6a to 6c, the reference numeral 200 denotes the semiconductor device, 210 a semiconductor chip,

211 wires, 220 a conductive adhesive, 270 terminal
portions, 280 a protective frame portion, and 290 an
adhesive, respectively. The BGA type resin encapsulated
semiconductor device is fabricated using a lead frame
5 having a die pad along with the lead frame structure of the
first embodiment. In this BGA type resin encapsulated
semiconductor device, terminal portions 270, which are made
of solder and adapted to be connected to an external circuit,
are arranged in a two-dimensional fashion on one surface of
10 the semiconductor device. The lead frame used in this
second embodiment is fabricated using the etching method of
Figs. 8a to 8e according to the first embodiment to have a
thickness smaller than that of the lead frame blank at the
entire portion of the inner lead and the die pad 130. This
15 lead frame is the same as that of the first embodiment in
terms of the used blank and shape, except for the die pad
130 and portions associated with the die pad 130. In the
semiconductor device of this third embodiment, the die pad
130 has a size allowing it to be received between facing
20 electrode portions (pads) 211 of the semiconductor chip
210. The semiconductor chip 210 is mounted on the die pad
130 in such a fashion that its surface provided with the
electrode portions (bumps) 211 directs in the same
direction as the second surface 110b of each inner lead 110
25 under the condition in which the surface provided with the

electrode portions 211 is attached to the die pad 130 by means of a conductive adhesive 260. The electrode portions (bumps) 211 are electrically connected to the second surfaces 110b of the inner leads 110 by means of wires, respectively. By virtue of such a structure, the semiconductor device of this embodiment can have a further thinned structure, as compared to that of the first embodiment or fourth embodiment. The reason why the conductive adhesive is used in this embodiment is to dissipate heat generated in the semiconductor device through the die pad. Where terminal portions are provided at the lower surface of the die pad for a connection to a ground line, it is possible to more effectively dissipate heat. A protective frame portion 280 is mounted by means of an adhesive 290 to cover the peripheral portion of the semiconductor device. This protective frame portion 280 is used where the semiconductor device has an insufficient strength due to its thinned structure. Accordingly, the protective frame portion 280 is not an essential element. In this embodiment, the die pad and semiconductor chip are connected together by means of the conductive adhesive, as mentioned above. Accordingly, where the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

A fourth embodiment of the present invention associated with a BGA type resin encapsulated semiconductor device will now be described. Fig. 7a is a cross-sectional view illustrating the BGA type resin encapsulated semiconductor device according to the fourth embodiment. Figs. 7b and 7c are cross-sectional views taken in the direction of the thickness of the semiconductor device to illustrate one inner lead tip and one outer lead portion, respectively. In Figs. 7a to 7c, the reference numeral 200 denotes the semiconductor device, 210 a semiconductor chip, 211 pads, 220 wires, 240 a resin encapsulate, 250 reinforcing tapes, 260 a conductive adhesive, and 270 terminal portions, respectively. The semiconductor device of the fourth embodiment is a BGA type resin encapsulated semiconductor device fabricated using a lead frame made of a nickel-copper alloy containing 42% Ni and processed to have the same shape as that in the third embodiment in accordance with an etching process of Figs. 8a to 8e while having, at the entire portion of each inner lead and its die pad 130, a thickness smaller than that of a blank for the lead frame. In this BGA type resin encapsulated semiconductor device, terminal portions 270, which are made of solder and adapted to connected to an external circuit, are arranged in a two-dimensional fashion on one surface of the semiconductor device. The die pad 130 has a size

larger than that of the third embodiment, but substantially equal to that of the semiconductor chip 210. The semiconductor chip 210 is mounted on the die pad 130 in such a fashion that its surface provided with the electrode portions (bumps) 211 directs in the same direction as the second surface 110b of each inner lead 110 under the condition in which a surface opposite to the surface provided with the electrode portions 211 is attached to the die pad 130 by means of a conductive adhesive 260. The electrode portions (bumps) 211 are electrically connected to the second surfaces 110b of the inner leads 110 by means of wires, respectively.

All the semiconductor devices of the first through fourth embodiments use a two-step etching method shown in Figs. 8 or 9 and have a thickness smaller than that of a lead frame blank used at at least its inner lead tip. Accordingly, these semiconductor devices achieves a further increase in the number of terminals, as compared to conventional BGA type resin encapsulated semiconductor devices using a lead frame as a core, as in Fig. 12. Since the tips of the inner leads have a thickness smaller than that of the lead frame blank, it is possible to fabricate a semiconductor device having a thinned structure.

(EFFECTS OF THE INVENTION)

As apparent from the above description, the lead frame of the present invention is fabricated using a two-step etching process in such a fashion that it has a thickness smaller than that of a lead frame blank used at its inner lead tips. The present invention makes it possible to provide a BGA type resin encapsulated semiconductor device capable of achieving use of an increased number of terminals by arranging outer terminal portions in a two-dimensional fashion on a lead frame surface, as compared to conventional BGA semiconductor devices using a lead frame processed in such a fashion that it has the same thickness as that of the lead frame blank at the tips of inner leads thereof, as shown in Fig. 12. The BGA type resin encapsulated semiconductor device of the present invention is fabricated using the above mentioned lead frame of the present invention. Accordingly, the BGA type resin encapsulated semiconductor device can have a thinned structure while having an increased number of terminals. Thus, the present invention provides a BGA type semiconductor device using a lead frame.

substantially equal to a semiconductor chip in a dimension
in X and Y directions except in a direction of thickness.
The resin-encapsulated semiconductor device in accordance
with the present invention means a semiconductor device
5 employing a lead frame among the defined CSP type
semiconductor device.

In the CSP type semiconductor device described above,
the terminal portions made of solder are formed on each of
the terminal columns and is externally exposed from the
10 encapsulating resin, but the terminal portions do not
necessarily need to be protruded from the encapsulating
resin. Moreover, if necessary, the outside face of each
terminal column which is exposed externally from the
encapsulating resin may be covered with a protective frame
15 by means of an adhesive.

[FUNCTIONS]

The resin-encapsulated semiconductor device in
accordance with the present invention can meet a demand for
20 an increase in the number of terminals and has a
miniaturized structure and thus an increased mounting
efficiency. At this time, in the resin-encapsulated
semiconductor device, as the removal process of the dam
bars by press working or the forming process of the outer
25 leads as in the case of using a mono-layered lead frame

shown in Fig. 11b is not required, there is no problem such as bending or coplanarity of the outer leads due to this process. More particularly, the use of a multipinned lead frame shaped in a manner that inner leads have a thickness smaller than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Moreover, as the resin-encapsulated semiconductor device is fabricated in such a manner that it is equal to that of a semiconductor chip in size, it can be miniaturized. In addition, each of the inner leads fabricated by a two-step etching process as shown Fig. 8 has a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead. Thus, the second surface of each inner lead is flat, and is excellent in wire-bonding property. Moreover, as the first surface of each inner lead is flat and the third and fourth surfaces of the inner leads each have a concave shape depressed toward the inside of the inner